

DMA TRANSFER CONTROL SYSTEM

Patent Number: JP10254817
Publication date: 1998-09-25
Inventor(s): SHIGAKI YUKITAKA; KAWASAKI NAOKI; SHIBAGAKI OSAMU; NAKAMURA KAZUYUKI
Applicant(s):: FUJITSU LTD
Requested Patent: JP10254817
Application Number: JP19970057380 19970312
Priority Number(s):
IPC Classification: G06F13/28 ; G06F13/36
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a DMA transfer control system executing fast data transfer by transferring data from any starting address at a high speed and executing read and write in parallel.
SOLUTION: This control system is connected with a DMA controller 10, address buses 2A, 2B, data buses 3A and 3B. These address buses 2A, 2B, data buses 3A and 3B are connected with at least memories 4A and 4B. Then the controller 10 is provided with a switching means 11 transferring data by automatically switching to optimum transferring method such as block transfer, word transfer, fraction transfer corresponding to the situation of the transfer data at any time.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-254817

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶
G 0 6 F 13/28識別記号
3 1 0F I
G 0 6 F 13/28

3 1 0 G

3 1 0 J

3 1 0 P

13/36

5 3 0

13/36

5 3 0 B

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 特願平9-57380

(22) 出願日 平成 9 年(1997) 3 月12日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 志垣 幸貴

福岡県福岡市早良区百道浜 2 丁目 2 番 1 号
富士通九州通信システム株式会社内

(72) 発明者 河崎 直樹

福岡県福岡市早良区百道浜 2 丁目 2 番 1 号
富士通九州通信システム株式会社内

(74) 代理人 弁理士 井島 藤治 (外 1 名)

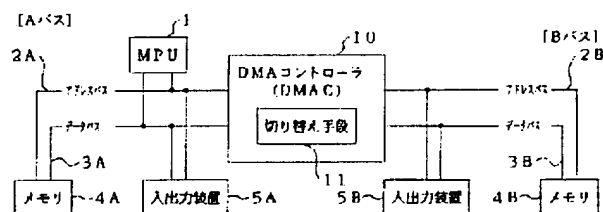
最終頁に続く

(54) 【発明の名称】 DMA転送制御システム

(57) 【要約】

【課題】 本発明はDMA転送制御システムに関し、第1に如何なる開始アドレスからも高速にデータ転送でき、第2に書き込みと読み出しを並行して行なうことにより、高速データ転送を行なうことができるDMA転送制御システムを提供することを目的としている。

【解決手段】 DMAコントローラとアドレスバス及びデータバスが接続され、これらアドレスバス及びデータバスには少なくともメモリが接続されたDMA転送制御システムにおいて、前記DMAコントローラは、転送データの状況に応じて、ブロック転送、ワード転送、端数転送と、随時最適な転送方法に自動的に切り替え転送を実行する切り替え手段を具備して構成する。



【特許請求の範囲】

【請求項1】 DMAコントローラとアドレスバス及びデータバスが接続され、これらアドレスバス及びデータバスには少なくともメモリが接続されたDMA転送制御システムにおいて、

前記DMAコントローラは、転送データの状況に応じて、ブロック転送、ワード転送、端数転送と、随時最適な転送方法に自動的に切り替え転送を実行する切り替え手段を具備することを特徴とするDMA転送制御システム。

【請求項2】 前記アドレスバスとデータバスを2対持たせ、前記DMAコントローラは2つのバスの転送を独立して行なうことを特徴とする請求項1記載のDMA転送制御システム。

【請求項3】 前記DMAコントローラは、その内部バッファにデータを読み込みつつ、同時に書き込み処理を行なうためにデータ書き込み数をカウントする書き込みカウンタと、読み出しデータ数をカウントする読み出しカウンタを設け、これら書き込みカウンタと読み出しカウンタの突き合わせ比較により、2つのバスの転送を並行処理することを特徴とする請求項2記載のDMA転送制御システム。

【請求項4】 前記DMAコントローラ内に、読み出しデータを並び替える並び替え手段を設け、読み込んだ側のデータの並びとは異なるデータの並びで書き込み側にデータ転送することを特徴とする請求項2記載のDMA転送制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はDMA転送制御システムに関し、特にマイクロプロセッサを使用する装置において、プロセッサからの起動処理のみでプロセッサとは独立にデバイス間のデータの送受信を行なうDMA転送制御システムに関する。

【0002】昨今の通信機器及びプロセッサを使用した制御装置においては、データの大容量化が進み、それに伴ってデータ転送の高速化が必須課題となってきた。しかしながら、従来のDMA（ダイレクト・メモリ・アクセス：プロセッサを介さずにデータ転送を行なうこと）転送技術では、端数分の含まれる転送や、2つのバスにまたがる転送において、あまり効率のいい転送方法はなく、転送速度が遅いという問題がある。

【0003】

【従来の技術】図16は従来システムの構成例を示すブロック図である。図において、1はMPU、2A、2Bはアドレスバス、3A、3Bはデータバスである。これら2つのバスのうち、一方をAバス、他方をBバスと呼ぶ。

【0004】6はAバスとBバス間に接続されたDMA転送制御を行なうDMAコントローラ（DMAC）、G

1、G2はDMAコントローラ4によりその方向が制御されるアドレスバスの双方向バッファ、G3、G4はDMAコントローラ4によりその方向が制御されるデータバスの双方向バッファである。

【0005】4AはAバス側に設けられたメモリ、5AはAバス側に設けられた入出力装置で何れもアドレスバス2A及びデータバス3Aと接続されている。4BはBバス側に設けられたメモリ、5BはBバス側に設けられた入出力装置で何れもアドレスバス2B及びデータバス3Bと接続されている。

【0006】図17は従来システムのデータ転送の説明図である。図16と同一のものは、同一の符号を付して示す。図では、メモリ4Bに図に示すような構成のデータが記憶されているものとする。データバス幅は4バイトであるものとする。そして、最小矩形が1バイトデータを示し、4バイトで1ワードを構成しているものとする。最初の①～③までは1ワードに満たない端数データである。

【0007】従来のシステムでは、これら端数データ①～③まではDMAC6により1個ずつ相手方メモリ4AにDMA転送され、次に最初の1ワードデータである④がDMA転送される。この方式は、ワード転送以外はバイト単位に転送を行なうものである。

【0008】従来の転送方法について更に詳細に説明する。図18は転送データの構成例を示す図である。○1（①をこのように表わす。以下同じ）～○12までのデータを転送するものとする。○1、○2、○3は端数データ、○4～○11はワードデータ、○12は1バイトの端数データである。

【0009】図19は従来システムのデータ転送の第1の例を示す図であり、ワード転送以外はバイト単位で転送するものである（特開昭64-76356号公報）。あるデータの転送から次のデータの転送にはバス調停モードが入っている。即ち、端数データである○1～○3は1バイトずつ転送し、以降のワードデータはワード単位に○4～○11まで転送し、最後に1バイトの端数データ○12を転送している。

【0010】図20は従来システムのデータ転送の第2の例を示す図である（特開平6-266612号公報）。この例では、端数分の1ワードデータを取り込んで、一旦4バイト幅のデータに変換して転送するものである。そして、○1～○3までのデータを一括して転送し、次には1ワード幅のデータを○4～○11まで転送し、最後の端数データ○12は端数分の1ワードデータを取り込んで、一旦4バイト幅のデータに変換して転送する。

【0011】図21は従来システムのデータ転送の第3の例を示す図であり、MPUを介在させている点でDMACとは呼べないものである（特開平2-024756号公報）。この例では、端数転送は、最小限の端数データ

のみMPUにより転送し、他はDMAによる転送を行なうものである。端数データの転送の時には、DMACよりMPUに端数通知を出すことが必要となる。

【0012】MPUは、この端数通知を受けると、端数データを転送先に転送する。端数データの転送が終わると、MPUはDMACに転送完了通知を出す。図22は2つのバス間にまたがる従来システムのデータ転送方式の説明図であり、第4の例を示す（特開平1-217532号公報）。この例は、高速転送の実現方法として、バス直結型のシングルアドレスモードを用いたものである。図16と同一のものは、同一の符号を付して示す。

【0013】この例は、転送元、転送先のデータバスを直結した形とし、高速転送を実現するものである。図23は2つのバス間にまたがる従来システムの他のデータ転送方式の説明図であり、第5の例を示す（特開平4-107666号公報）。図16と同一のものは、同一の符号を付して示す。この例は、独立した各1対のアドレスバス、データバスを有することで、従来の欠点を除去し、データ直結型のメモリーメモリー間高速転送が可能となる。

【0014】

【発明が解決しようとする課題】前述した従来のデータ転送システムのうち、図19に示す第1の例は、ワード転送以外はバイト単位に転送を行なうので、端数データの転送に時間がかかってしまうという問題がある。

【0015】図20に示す第2の例は、4バイト幅のデータを一旦取り込んで、該当バイトのデータを変換する必要があることから、時間がかかってしまい、高速転送ができないという問題がある。

【0016】図21に示す第3の例は、データ転送にMPUを介在させているので、時間的ロスが発生し、またMPUにとっても処理負荷が増大し、効率が悪いという問題がある。

【0017】図22に示す第4の例の場合、アドレス情報が1対しか出力できないため、メモリ4と入出力装置5間の転送しかサポートできないという問題がある。図23に示す第5の例の場合、データ直結であるため、データの並び替えができず、転送開始アドレスの異なるデバイス間の転送ができないという問題がある。

【0018】本発明はこのような課題に鑑みてなされたものであって、第1に如何なる開始アドレスからも高速にデータ転送でき、第2に書き込みと読み出しを並行して行なうことにより、高速データ転送を行なうことができるDMA転送制御システムを提供することを目的としている。

【0019】

【課題を解決するための手段】

(1) 図1は本発明の原理ブロック図である。図16と同一のものは、同一の符号を付して示す。図に示すシステムは、DMAコントローラ10とアドレスバス2及び

データバス3が接続され、これらアドレスバス2及びデータバス3には少なくともメモリ4が接続されたDMA転送制御システムを構成している。

【0020】2A、3Aが一方の側（A側）のアドレスバスとデータバスであり、2B、3Bが他方の側（B側）のアドレスバスとデータバスである。11はDMAコントローラ10内に設けられ、転送データの状況に応じて、ブロック転送、ワード転送、端数転送と、随時最適な転送方法に自動的に切り替え転送を実行する切り替え手段である。

【0021】この発明の構成によれば、切り替え手段11が転送データの状況に応じて、ブロック転送、ワード転送、端数転送と、随時最適な転送方法に自動的に切り替え転送を実行することにより、如何なる開始アドレスからも高速にデータ転送することができる。

【0022】(2) この場合において、前記アドレスバス2とデータバス3を2対持たせ、前記DMAコントローラ10は2つのバスの転送を独立して行なうことを特徴としている。

【0023】この発明の構成によれば、2対のアドレスバスとデータバスを有し、それぞれのバスの独立転送制御を行なうことにより、書き込みと読み出しを同時に並行して行なうことができ、データの高速転送が可能となる。

【0024】(3) また、前記DMAコントローラ10は、その内部バッファにデータを読み込みつつ、同時に書き込み処理を行なうためにデータ書き込み数をカウントする書き込みカウンタと、読み出しデータ数をカウントする読み出しカウンタを設け、これら書き込みカウンタと読み出しカウンタの突き合わせ比較により、2つのバスの転送を並行処理することを特徴としている。

【0025】この発明の構成によれば、2つのバスの並行処理が可能となり、転送元、転送先共にロスなく連続的な高速データ転送を実現しつつ、任意の転送開始アドレスからのデータ転送を実現することができる。

【0026】(4) 更に、前記DMAコントローラ10内に、読み出しデータを並び替える並び替え手段を設け、読み込んだ側のデータの並びとは異なるデータの並びで書き込み側にデータ転送することを特徴としている。

【0027】この発明の構成によれば、並び替え手段を用いて読み込んだデータとは異なるデータの並びで書き込み側にデータ転送することができる。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を詳細に説明する。

(A) 端数バイト転送及びワード、ブロック転送の切り替え

図2は本発明によるデータ転送の説明図である。図1と同一のものは、同一の符号を付して示す。ここで、図に

示すように転送元メモリ4Bに記憶されているデータをDMAC10内の切り替え手段11により転送先メモリ4Aに転送することを考える。

【0029】4バイトで1ワードとしていると、○1～○3までのデータは端数となる。本発明では、バイト単位ではなく、端数となる全てのバイトのみを有効とし、有効エリアを示す信号を付与したワード転送とし、○1～○3までを一括転送する。このようにすることで、端数を1バイトずつ転送していた従来のシステムに対して高速転送が可能となる。

【0030】この場合において、切り替え手段11は、総転送データ量、転送元アドレス、転送先アドレス、残り転送バイト数等からハードウェア的に転送量を算出し、随時変化する転送状況に応じて、ブロック転送可能領域、ワード転送可能領域、1ワードに満たない3バイト以下の端数転送をそれぞれ識別し、最適な転送モードに自動的に切り替える。ここで、ブロック転送とは、複数のワードデータを1つのブロックとして連続的に転送処理を行なうことである。

【0031】この実施の形態例によれば、切り替え手段11が転送データの状況に応じて、ブロック転送、ワード転送、端数転送と、随時最適な転送方法に自動的に切り替え転送を実行することにより、如何なる開始アドレスからも高速にデータ転送することができる。

【0032】図3は端数バイト転送及びブロック転送の切り替え制御動作を示すフローチャートである。切り替え手段11は、転送時に設定される、総転送データ量、転送元アドレス、転送先アドレス、残り転送バイト数等からハードウェア的に転送量を算出し、随時変化する転送状況に応じて最適な転送モード切り替えを行なう。

【0033】即ち、先ず転送先の転送開始アドレス値の下位2ビット(A30, A31)を参照し、“A30, A31=0, 0”であるかどうかチェックする(S1)。転送データは1ワード当たり4バイト(32ビット)で表される。

【0034】A30, A31=0, 0の場合には、データはワードで始まり、端数データの場合にはA30, A

転送開始アドレス下位2ビット=0, 0の時0000(BC0)

=0, 1の時1000(BC1)

=1, 0の時1100(BC2)

=1, 1の時1110(BC3)

これらコントロール信号BCは、4バイト(1ワード)のどのバイトデータが有効かを示す信号である。

【0039】バイトコントロール信号が生成されたら、端数分のデータ転送を実行する(S3)。即ち、切り替え手段11は、このバイトコントロール信号により、転送元から読み出してきたデータの先頭が有効端数データの先頭になるようにデータを並び替え、書き込みデータと同時にバイトコントロール信号を送出し、転送先有効端数バイト領域に一度にデータを書き込む。

31の何れかに1があることになる。A30, A31=0, 0の場合にはワードデータとなり、それ以外の場合には端数データとなることを更に詳細に説明する。図4は32ビット(4バイト)メモリのマップを示している。図より明らかなように、転送開始がワードで始まる場合には、開始アドレスの値の最後が0, 4, 8, C(16進)の何れかであり、それ以外はワードの途中から始まることになり、これを端数とする。

【0035】このアドレスの最後の値をバイナリ(ビットA0～A31)で見ると、以下ようになる。

	A28	A29	A30	A31
0=	0	0	0	0
4=	0	1	0	0
8=	1	0	0	0
C=	1	1	0	0

となり、ワードで始まる場合には、下位2ビットA30, A31は必ず0, 0となる。これに対して、それ以外の端数の場合には、以下ようになる。

	A28	A29	A30	A31
1=	0	0	0	1
2=	0	1	1	0
3=	1	0	1	1

となり、必ずA30, A31の何れかに1があることになる。従って、

A30, A31=0, 0の時ワード開始の転送

A30, A31≠0, 0の時端数からの転送

と識別できることになる。

【0037】下位2ビットが“0, 0”以外と判定した時、切り替え手段11は、その2ビットの0/1の組み合わせにより有効端数バイト位置を識別するバイトコントロール信号(BC)を生成する(S2)。

【0038】バイトコントロール信号BCは下位2ビットに対応して4種類存在する。バイトコントロール信号は以下の通りである。

【0040】次に、切り替え手段11は、初期設定アドレスを転送終了毎にからアドレス値を4(16進)だけ減算する(S4)。その後、切り替え手段11は、アドレス下位4ビットA28, A29, A30, A31=0, 0, 0, 0であるかどうかチェックする(S5)。オール0でない場合には、データはワードデータ、オール0の時にはそれ以外のデータ(ブロックデータ)である。

【0041】次に、下位4ビットがオール0でない時に

はワードデータ、下位4ビットがオール0の時にはブロックデータとなる理由について説明する。図5に示すように、1ブロックは16バイトからなり、ブロック転送では、この1ブロックを1つの単位として転送する。このため、ブロック転送の開始は、各ブロックの先頭であ

る00000000, 00000010, 00000020, 00000030, …のアドレスの時に可能である。これをバイナリ情報で示すと、以下のようになる。

【0042】

	A26	A27	A28	A29	A30	A31
00000000=	0	0	0	0	0	0
00000004=	0	0	0	1	0	0
00000008=	0	0	1	0	0	0
0000000C=	0	0	1	1	0	0
00000010=	0	1	0	0	0	0
00000014=	0	1	0	1	0	0
00000018=	0	1	1	0	0	0
0000001C=	0	1	1	1	0	0
00000020=	1	0	0	0	0	0

これより、ブロック可能アドレスの時には、A28～A31が必ずオール0の状態となることが分かる。

【0043】アドレス値がオール0でない時には、切り替え手段11は、4バイト単位の手元データ転送モード（ワード転送モード）に切り替え、データの手元データ転送を実行する（S6）。このワード転送モードは、ブロック転送ができる領域まで実行される。1ワードの転送が終了したら、アドレス値を4（16進）だけ減算し、A28～A31のアドレス値のチェックを行なう（S5）、下位4ビットのアドレス値が4ビット共にオール0になるまでワード転送が継続される。

【0044】アドレスの下位4ビットがオール0になったら、残りバイト数よりブロック転送可否判断を行なう（S7）。この可否判断は、残りのバイト数に1ブロック単位の16バイトが含まれているかの判断になる。このため、切り替え手段11は以下の演算を行なう。

【0045】総転送バイト数（ブロック転送開始可能アドレス－転送開始アドレス）＝ブロック転送以降の残り転送数

次に、切り替え手段11は、ブロック転送開始可能アドレス以降の残り転送バイト数をチェックする（S8）。そして、残り転送バイト数がブロック単位の整数倍よりも大きい場合には、ブロック転送を実行する（S9）。1ブロックの転送が終了したら、残りバイト数を求め（S7）、残りバイト数がブロック単位の整数倍であるかどうかチェックする（S8）。以下、残りバイト数がブロック単位の整数倍にならなくなるまでブロック転送を継続する。

【0046】残りバイト数がブロック単位の整数倍にならなくなったら、切り替え手段11は、残りバイト数が幾らであるかチェックする（S10）。残りバイト数が4バイトよりも大きい場合にはワード転送を実行する

（S11）。残りバイト数が3バイト以下の場合にはバイトコントロール信号BCを生成した後（S12）、端数分のデータの転送を行なう（S13）。これにて全デ

ータの転送が終了する。なお、ステップS10において、残りバイト数が0の場合には、転送が終了する。

【0047】図6は本発明による転送データの割り振りを示す図である。図の最小矩形が1バイト単位のデータである。最初のデータは○1～○3までの3バイトの端数データ、次の○4から○6までは3個の1ワードデータ、○7～○10までは16バイトのブロック転送データ、次の○11は1ワードデータ、最後の○12は1バイトの端数データである。

【0048】以下、本発明によるデータ転送時間が従来のシステムよりどれだけ短縮されるかを示す。図7は本発明によるモード切り替え転送の説明図であり、（a）が従来例、（b）が本発明によるものである。（a）の従来例は図19に示したものと同一である。

【0049】従来例の場合には、バス調停を含んで、端数データ○1～○3は1バイトずつの転送、以降の○4～○11はワード転送、余りの端数○12は端数データ転送となっている。これに対して、本発明では、バス調停を含んで端数○1～○3は一括転送、次の○4～○6はワード転送、○7～○10はブロック転送、○11はワード転送、最後の端数○12は端数転送となる。この結果、従来例と本願発明との転送に要する時間の短縮量は、図に示すように ΔT_1 となる。

【0050】図8は本発明によるモード切り替え転送の他の説明図である。（a）は従来例によるもの、（b）は本発明によるものである。（a）の従来例は図20に示したものと同一である。従来例の場合には、バス調停を含んで端数データである○1～○3までの端数については、端数分の1ワードを読み込んでデータ書き替え操作を行ない、○1～○3の一括転送を行なう。次の○4～○11まではワード転送を行なう。最後の端数データ○12については、端数分の1ワードを読み込んでデータの書き替えを行ない、データ転送する。（b）に示す本発明のデータ転送は、図7と同じである。この結果、従来例と本願発明との転送に要する時間の短縮量は、図

に示すように ΔT_2 となる。

【0051】図9は本発明によるモード切り替え転送の他の説明図である。(a)は従来例によるもの、(b)は本発明によるものである。(a)の従来例は図21に示したものと同一である。従来例の場合には、バス調停を含んで端数データである○1～○3までの端数については、DMACによりMPUに対して端数通知を出し、MPUからの端数転送になる。

【0052】MPUは、端数転送を終了したら、DMACに転送完了通知を出す。転送完了通知を受けたDMACは、残りの○4～○11まではバス調停を含むワード転送になる。最後の端数の○12については、DMACからMPUに端数通知がなされ、MPUがこの端数データを転送する。この結果、従来例と本願発明との転送に要する時間の短縮量は、図に示すように ΔT_3 となる。

【0053】(B) 2バス間独立転送

上述の実施の形態例では、端数バイト転送及びワード、ブロック転送について説明した。ここでは、2バス間独立転送の場合について説明する。図10はバス間独立転送の説明図である。(a)は従来例を、(b)は本発明を示す。従来のシステムでは、転送元のバスと転送先のデータを独立に動作させるために2方向バッファGを設けていた。

【0054】本発明では、2つのバス各々にアドレスバスとデータバスを設け、DMAC内部でお互いのバスの転送状況を監視しながら、2つのバスを独立に動作させることにより、転送先のデータ書き込み処理中に、次の転送元からのデータ読み取り動作を並行して行わせることを可能にすることができ、データ転送処理の高速化を図ることができる。

【0055】また、転送元、転送先で並行処理を行なうため、バス直結型のシングルアドレスモードと同程度の高速転送を可能にする上、DMAC内部に一旦データを取り込むため、DMAC内部でのデータの並び替えを行なうことにより、転送元とは異なる任意の転送先アドレスにデータを転送することが可能となる。また、メモリーメモリー間転送もサポートすることが可能となる。

【0056】従来、2つのバスにまたがる転送を行なう場合、アドレスバスとデータバスの両方のバスで切り替えて転送する方式をとっている。図11は2つのバス間にまたがる従来のデータ転送方式の説明図である。アドレスバス32本、データバス32本の合計64本のバスが設けられている。図中第1のハッチングはバスの占有時間を、第2のハッチングはバス調停時間を示す。

【0057】デバイス4Cのデータ(Aバスのデータ)をデバイス4D(Bバスのデータ)に転送する場合、DMAC6は先ずAバスを介してデバイス4Cのデータ①を読み出して、バスの切り替えを行ない、Bバスを介してデバイス4Dにデータ①を書き込む。次に、DMACはAバスを介してデバイス4Cのデータ②を読み出し

て、バスの切り替えを行ない、Bバスを介してデバイス4Dにデータ②を書き込む。以上のような操作をデータの数だけ行なう。

【0058】従来のシステムでは、このように転送元デバイスからのデータを読み出し、その後バスを切り替えて転送先デバイスに対してデータを書き込む転送を行なっている。このため、1回のデータ転送に2つのサイクル(読み出し1サイクル、書き込み1サイクル)を必要とし、更にバス権を獲得するためにバス調停サイクルが入り、即座にバス権が獲得できない場合には、バス権獲得まで待たされることになり、全体的に図に示すように非常に長い総転送時間を必要とする。

【0059】図12は2つのバス間にまたがる本発明のデータ転送方式の説明図である。本発明では、アドレスバスとデータバスを2対持たせ、DMAC10内のバッファにデータを読み込みつつ、同時に書き込み処理を行なうものである。図より明らかなように、Aバスから1回のバス調停処理の後、データ①～③を連続して読み出し、一方、Bバスでは1回のバス調停処理の後、Aバスに若干遅れてデータ①～③の書き込みを行なっている。

【0060】このような並行処理により、転送先にデータを書き込んでいる最中に次のデータを転送元から読み出して来ることができ、転送元、転送先共にロスなく連続的なデータ転送が可能となり、バスを直結させた形のシングルアドレスモードと同等の転送速度を実現することができる。また、バス直結型とは異なり、両方のバスのバス権が両方獲得できるまで待つ必要がなく、転送開始までのロス時間をなくすることができる。このため、総転送時間は、図11の従来システムの場合に比較して、 Δt だけ短縮される。

【0061】図13は本発明によるDMAコントローラ10の一実施の形態例を示す回路図である。図において、12は読み出されたデータの数をカウントする読み出しカウンタ、13はデータを書き込む毎にカウントする書き込みカウンタである。14は読み出しカウンタ12の出力と、書き込みカウンタ13の出力とを比較し、比較結果に応じてデータの読み込み開始と停止及び再開処理を制御する比較器である。

【0062】15は読み出されたデータを受けるバッファ、17は読み出されたバッファを保持するデータバッファ、16は該データバッファ17から読み出されたデータを受けるバッファである。データバッファ17は、比較器14により書き込みと読み出しが制御される。このように構成された回路の動作を説明すれば、以下の通りである。

【0063】読み込まれたデータがバッファ15を介して入力される度に、読み出しカウンタ12は1だけ更新される。そして、データバッファ17に書き込まれる。データバッファ17に保持されているデータは、読み出されるが、この時、書き込みカウンタ13は1だけ更新

される。

【0064】比較器14は、読み出しカウンタ12の出力と書き込みカウンタ13の出力を比較する。そして、データバッファ17のフル状態又はエンプティ状態を監視し、データの読み込み開始、停止及び再開処理を制御する。つまり、比較器14はデータバッファ17にデータがあれば、読み出しを実行させ、空きがあれば書き込みを実行させる。

【0065】この実施の形態例によれば、2つのバスの並行処理が可能となり、転送元、転送先共にロスなく連続的な高速データ転送を実現しつつ、任意の転送開始アドレスからのデータ転送を実現することができる。

【0066】図14は本発明によるデータ並び替え転送の説明図である。DMAC10において、18は読み込んだデータの順を並び替えて出力する並び替え手段である。2対のアドレスバスとデータバスを具備すると、アドレスバスが個別にあることになり、2つのアドレスバスそれぞれに独立に転送元／転送先アドレス情報を出力することができる。これにより、アドレスを必要とするメモリ等のデバイス同士のデータ直接転送が可能となる。

【0067】また、並び替え手段18によりDMAC内部でのデータの並び替えが可能となるため、転送元と転送先のデータ構成が異なっても転送することができる。即ち、並び替え手段18を用いて読み込んだデータとは異なるデータの並びで書き込み側にデータ転送することができる。

【0068】図15は本発明による並び替え手段18の一実施の形態例を示す回路図である。図において、20は読み込みデータを切り替える読み込み方路制御部、21は書き込みデータを切り替える書き込み方路制御部である。22は32ビット幅のデータを深さ方向にラッチする8ビット単位のフリップフロップである。このフリップフロップ22は、読み出しデータを全部保持できるだけの容量（深さ）が必要である。

【0069】23はバイト単位に設けられた読み込みカウンタ、24はバイト単位に設けられた書き込みカウンタである。この実施の形態例では、データ幅が32ビット（4バイト）であるので、それぞれ4個ずつ設けられている。読み込みカウンタ23には転送元開始アドレス値が初期値として入力され、書き込みカウンタ24には転送先開始アドレス値が初期値として入力されている。読み込みデータの並びと書き込みデータの並びは、図14に示したものと同一であるものとする。

【0070】各読み込みカウンタ23の出力はそれぞれ対応するフリップフロップ22のライトイネーブル（WE）に接続され、各書き込みカウンタ24の出力は、それぞれ対応するフリップフロップ22のアウトイネーブル（OE）に接続されている。このように構成された回路の動作を説明すれば、以下の通りである。

【0071】読み込みデータは、（A、B、C）、

（D、E、F、G）の順に読み込み方路制御部20に入力される。該読み込み方路制御部20は、転送元開始アドレスを受けて入力された4バイトのデータの方路切り替えを行なう。そして、該読み込み方路制御部20からは方路の切り替えが行なわれたデータが出力され、読み込みカウンタ23で指定される番地のフリップフロップ22に書き込まれる。書き込み動作を繰り返して、全ての読み込みデータがフリップフロップ22に書き込まれる。

【0072】一方、前記フリップフロップ22には、書き込みカウンタ24の出力も入力されており、これら書き込みカウンタ24で指定されるフリップフロップ22の出力が読み出され、書き込み方路制御部21に入る。該書き込み方路制御部21には、転送先開始アドレスが入力されており、このアドレスに従ってその方路が切り替えられる。この結果、先ず最初にデータAのみが読み出され、次にデータ（B、C、D、E）が読み出される。

【0073】このように、この実施の形態例によれば、並び替え手段を用いて読み込んだデータとは異なるデータの並びで書き込み側にデータ転送することができる。

【0074】

【発明の効果】以上、詳細に説明したように、本発明によれば、

（1）DMAコントローラとアドレスバス及びデータバスが接続され、これらアドレスバス及びデータバスには少なくともメモリが接続されたDMA転送制御システムにおいて、前記DMAコントローラは、転送データの状況に応じて、ブロック転送、ワード転送、端数転送と、随時最適な転送方法に自動的に切り替え転送を実行する切り替え手段を具備することにより、切り替え手段が転送データの状況に応じて、ブロック転送、ワード転送、端数転送と、随時最適な転送方法に自動的に切り替え転送を実行することにより、如何なる開始アドレスからも高速にデータ転送することができる。

【0075】（2）この場合において、前記アドレスバス2とデータバスを2対持たせ、前記DMAコントローラは2つのバスの転送を独立して行なうことにより、2対のアドレスバスとデータバスを有し、それぞれのバスの独立転送制御を行なうことにより、書き込みと読み出しを同時に並行して行なうことができ、データの高速転送が可能となる。

【0076】（3）また、前記DMAコントローラは、その内部バッファにデータを読み込みつつ、同時に書き込み処理を行なうためにデータ書き込み数をカウントする書き込みカウンタと、読み出しデータ数をカウントする読み出しカウンタを設け、これら書き込みカウンタと読み出しカウンタの突き合わせ比較により、2つのバスの転送を並行処理することにより、2つのバスの並行処

理が可能となり、転送元、転送先共にロスなく連続的な高速データ転送を実現しつつ、任意の転送開始アドレスからのデータ転送を実現することができる。

【0077】(4)更に、前記DMAコントローラ内に、読み出しデータを並び替える並び替え手段を設け、読み込んだ側のデータの並びとは異なるデータの並びで書き込み側にデータ転送することにより、並び替え手段を用いて読み込んだデータとは異なるデータの並びで書き込み側にデータ転送することができる。

【0078】このように、本発明によれば、第1に如何なる開始アドレスからも高速にデータ転送でき、第2に書き込みと読み出しを並行して行なうことにより、高速データ転送を行なうことができるDMA転送制御システムを提供することができる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明によるデータ転送の説明図である。

【図3】端数バイト転送及びブロック転送の切り替え制御動作を示すフローチャートである。

【図4】32ビット(4バイト)メモリのマップを示す図である。

【図5】32ビット(4バイト)メモリの他のマップを示す図である。

【図6】本発明による転送データの割り振りを示す図である。

【図7】本発明によるモード切り替え転送の説明図である。

【図8】本発明によるモード切り替え転送の他の説明図である。

【図9】本発明によるモード切り替え転送の他の説明図である。

【図10】バス間独立転送の説明図である。

【図11】2つのバス間にまたがる従来のデータ転送方式の説明図である。

【図12】2つのバスの間にまたがる本発明のデータ転

送方式の説明図である。

【図13】本発明によるDMAコントローラの一実施の形態例を示す回路図である。

【図14】本発明によるデータ並び替え転送の説明図である。

【図15】本発明による並び替え手段の一実施の形態例を示す回路図である。

【図16】従来システムの構成例を示すブロック図である。

【図17】従来システムのデータ転送の説明図である。

【図18】転送データの構成例を示す図である。

【図19】従来システムのデータ転送の第1の例を示す図である。

【図20】従来システムのデータ転送の第2の例を示す図である。

【図21】従来システムのデータ転送の第3の例を示す図である。

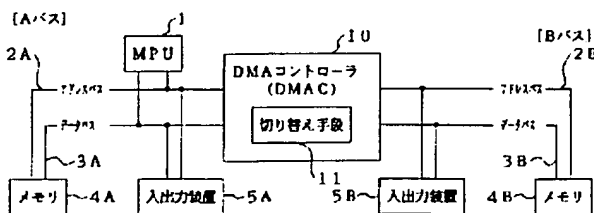
【図22】従来システムのデータ転送の第4の例を示す図である。

【図23】従来システムのデータ転送の第5の例を示す図である。

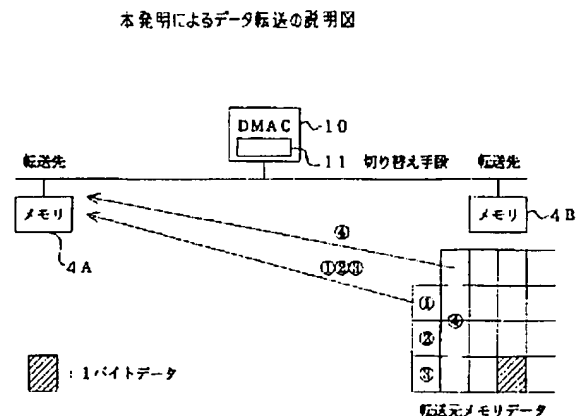
【符号の説明】

- 1 MPU
- 2 A アドレスバス
- 2 B アドレスバス
- 3 A データバス
- 3 B データバス
- 4 A メモリ
- 4 B メモリ
- 5 A 入出力装置
- 5 B 入出力装置
- 10 DMAコントローラ
- 11 切り替え手段

【図1】

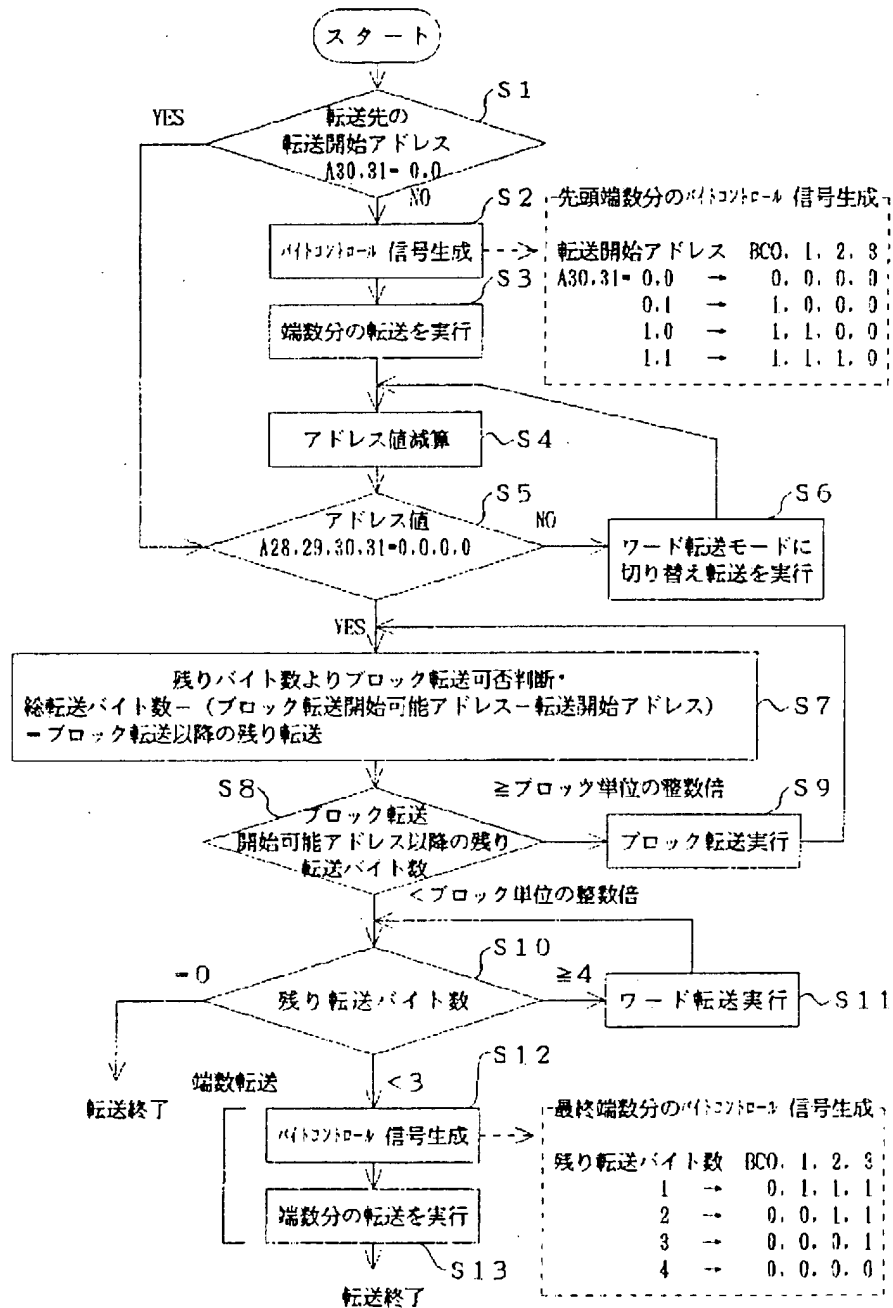


【図2】



【図3】

端数バイト転送及びブロック転送の切り替え制御動作を示すフローチャート



【図4】

32ビット(4バイト)メモリのマップを示す図

アドレス	0	1	2	3
00000000				00000003
00000004				00000007
00000008				
0000000C				
00000010				

A0, A1, ... A31

【図5】

32ビット(4バイト)メモリの他のマップを示す図

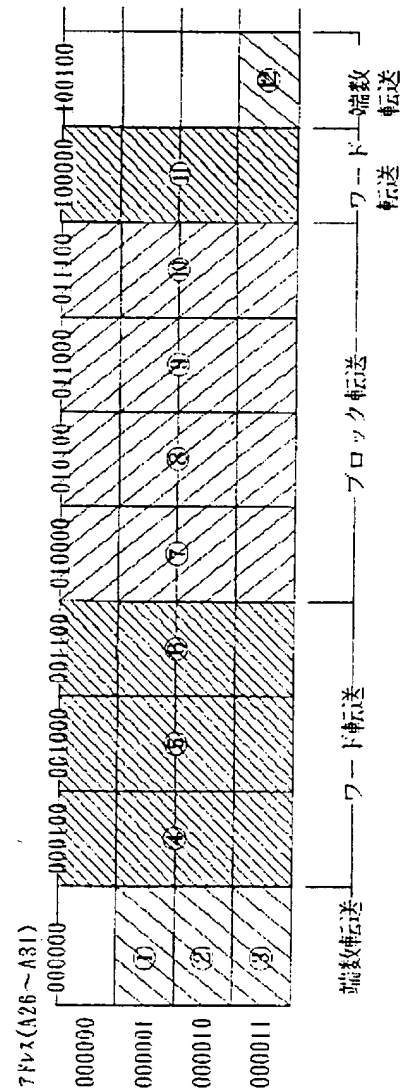
アドレス				
00000000				
00000004				
00000008				
0000000C				
00000010				
00000014				
00000018				
0000001C				
00000020				
00000024				

ブロック1

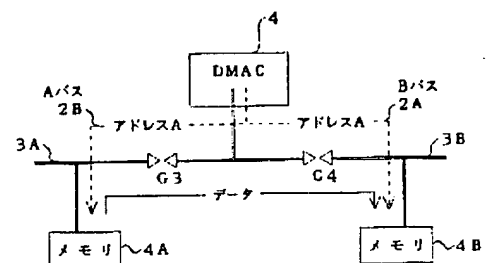
ブロック2

【図6】

本発明による転送データの割り振りを示す図

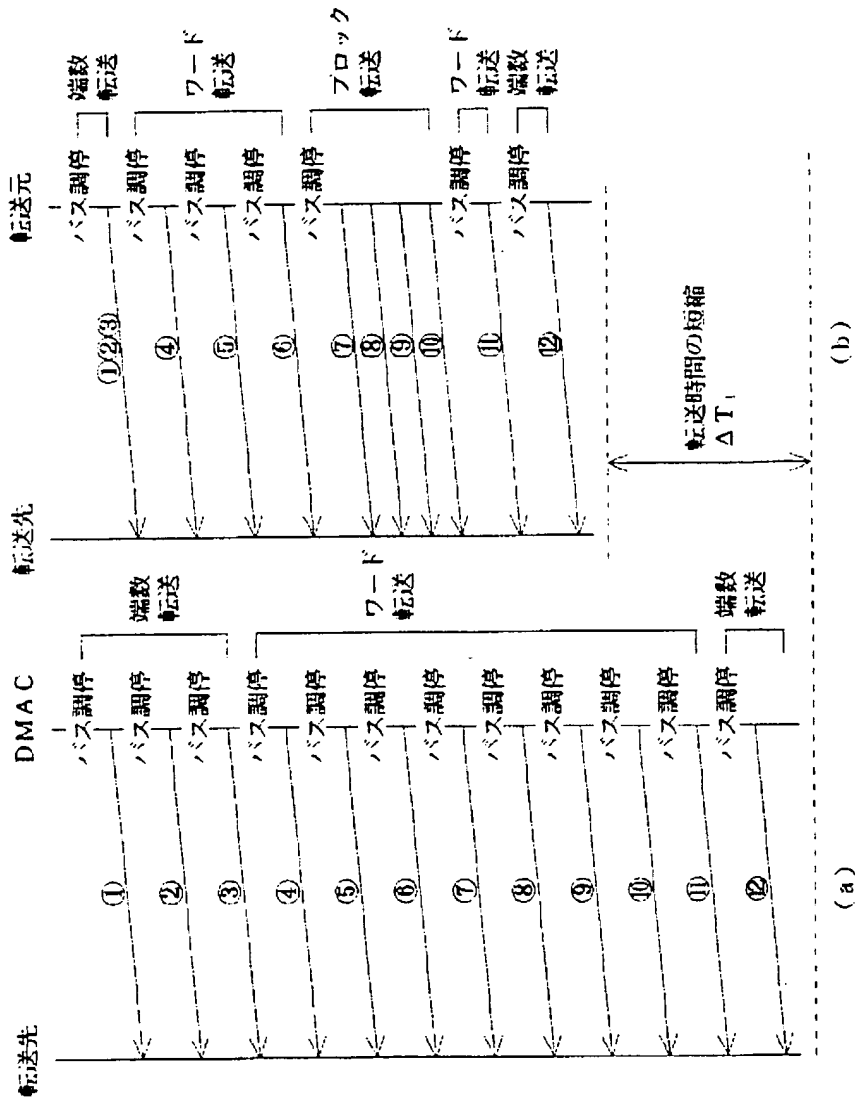


【図22】

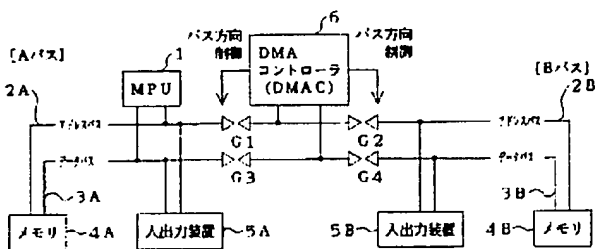


【図7】

本発明によるモード切り替え転送の説明図

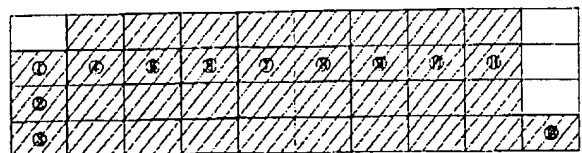


【図16】



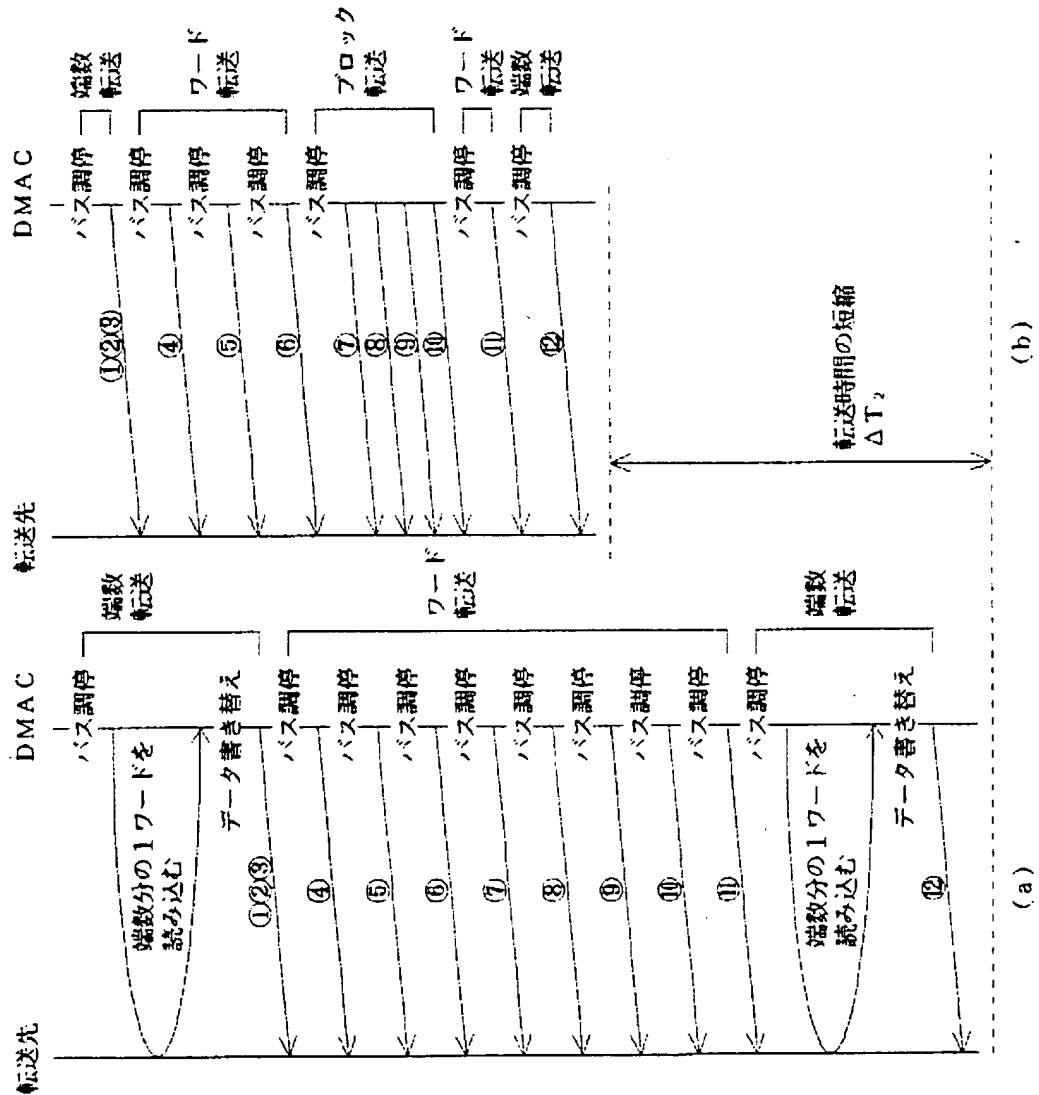
【図18】

転送データの構成例を示す図



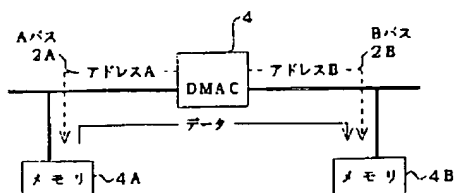
【図8】

本発明によるモード切り替え転送の他の説明図



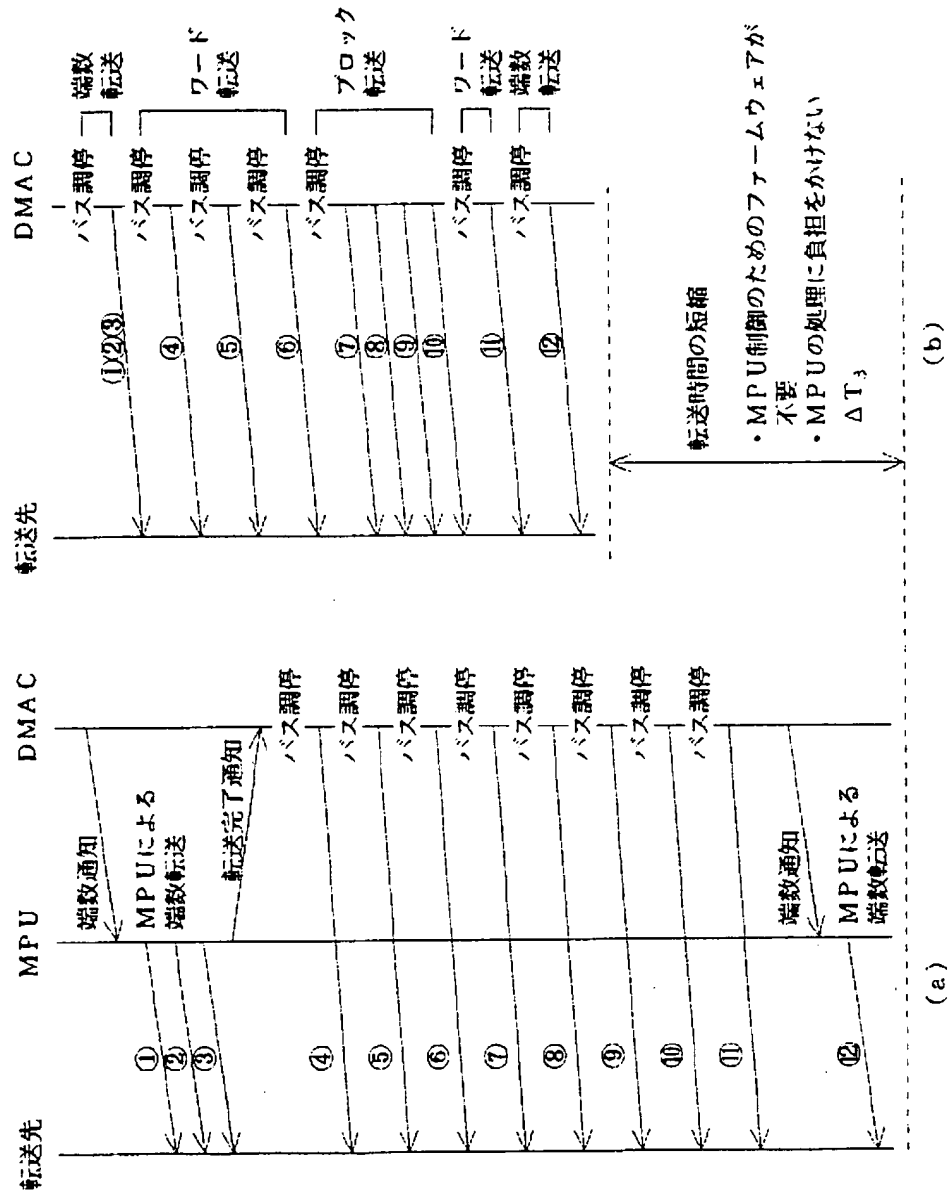
【図23】

従来システムのデータ転送の第5の例を示す図



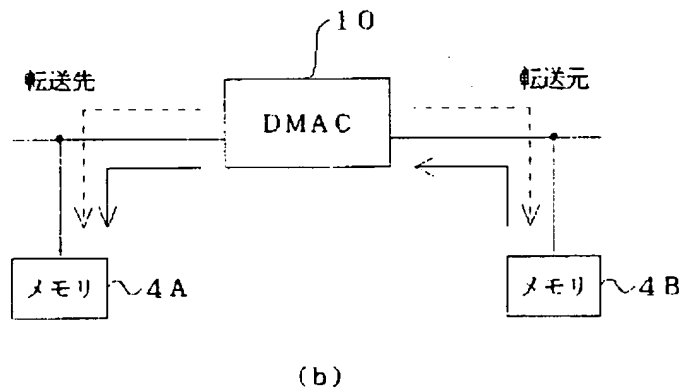
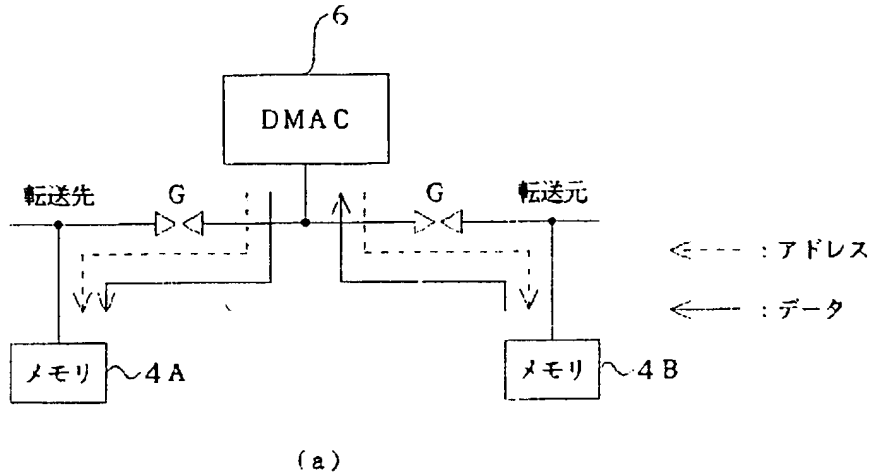
【図9】

本発明によるモード切り替え転送の他の説明図



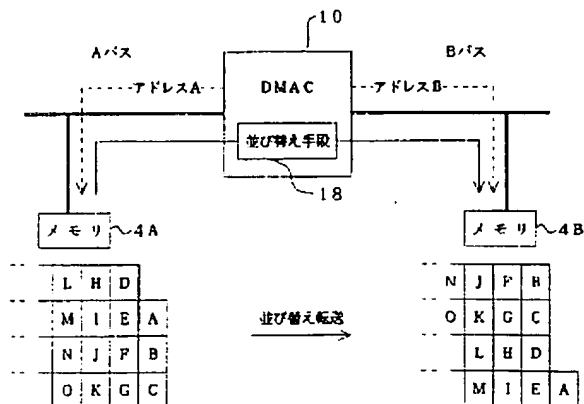
【図10】

バス間独立転送の説明図



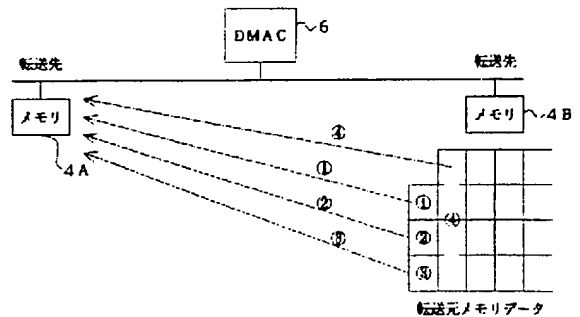
【図14】

本発明によるデータ並び替え転送の説明図



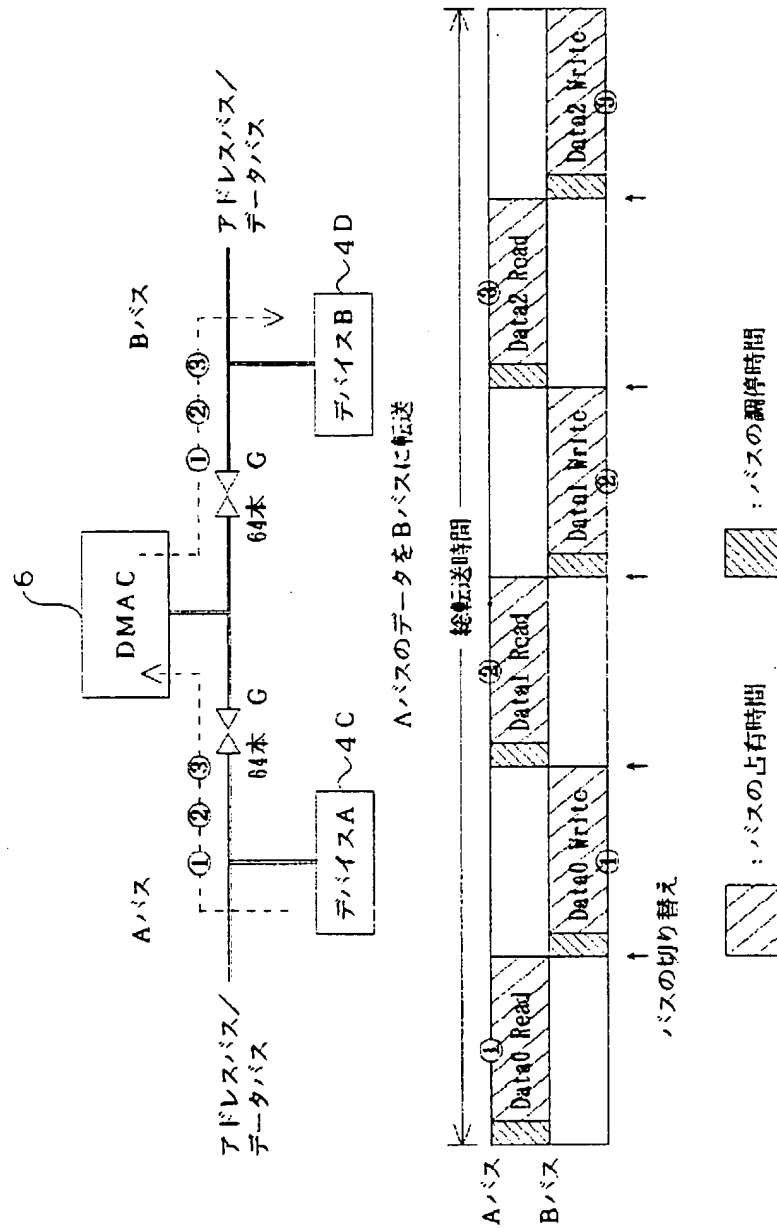
【図17】

従来システムでのデータ転送の説明図



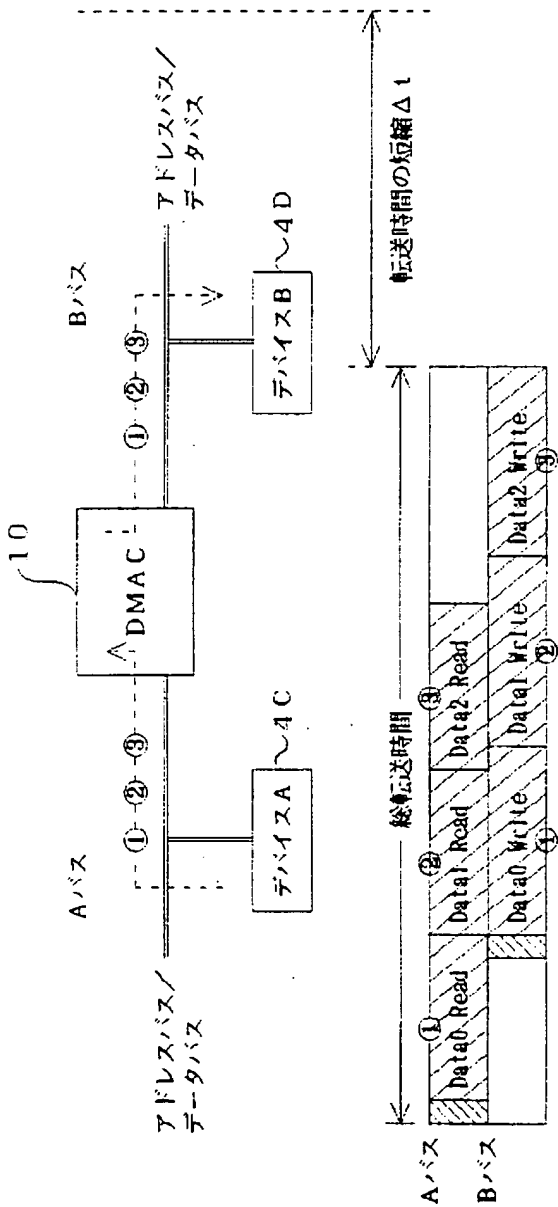
【図11】

2つのバス間にまたがる従来のデータ転送方式の説明図



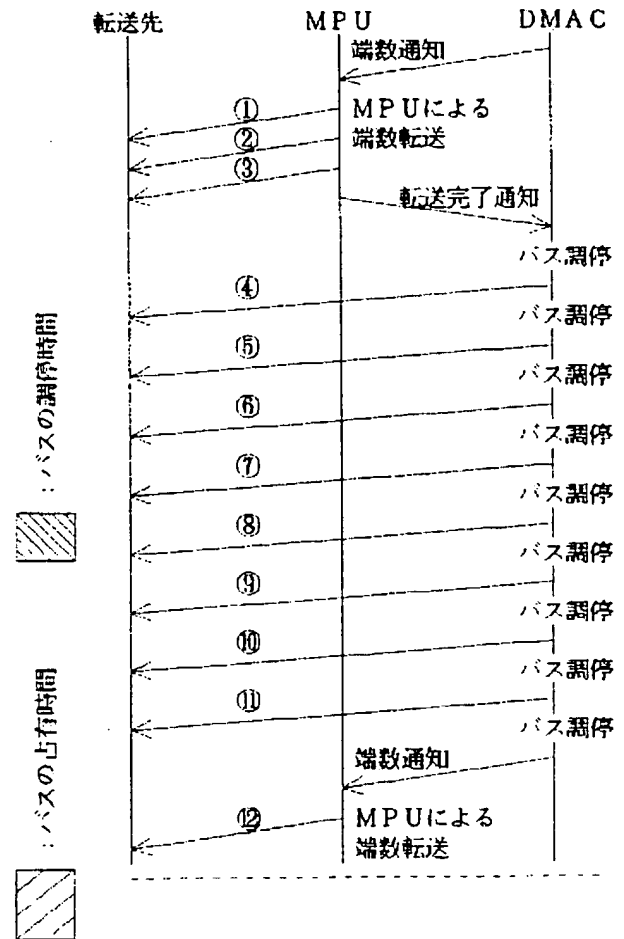
【図12】

2つのバス間にまたがる本発明のデータ転送方式の説明図



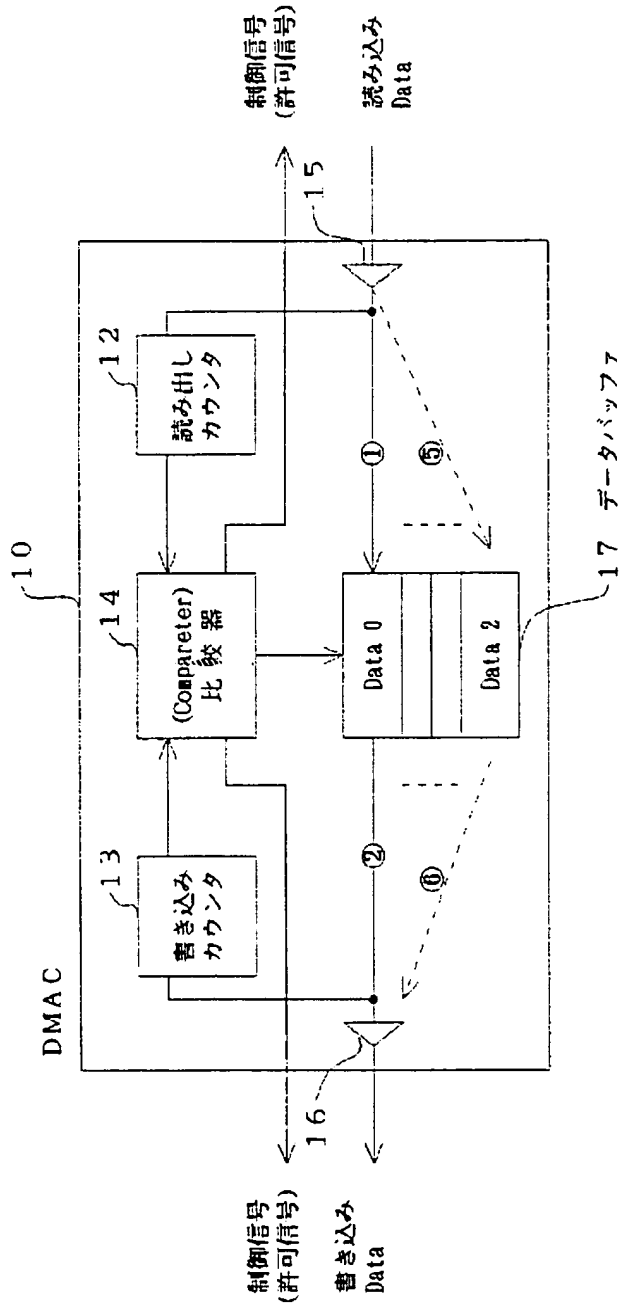
【図21】

従来システムのデータ転送の第3の例を示す図



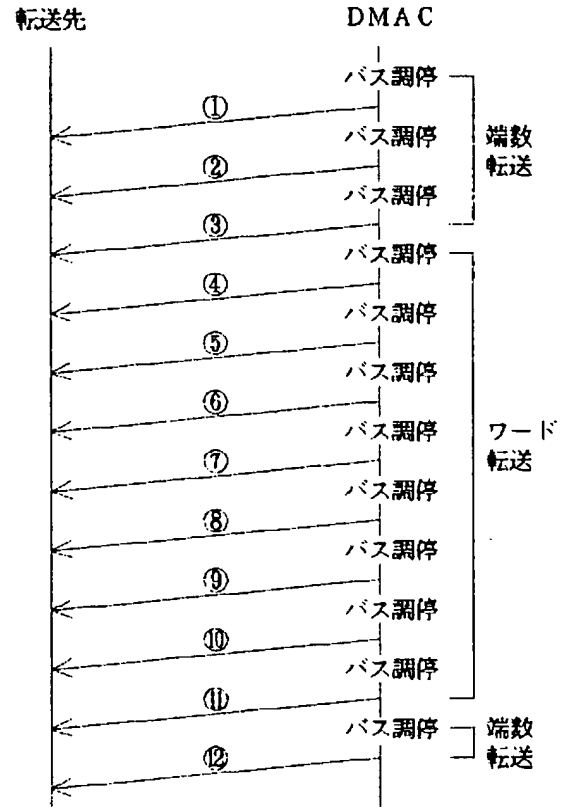
【図13】

本発明によるDMAコントローラの一実施の形態例を示す回路図



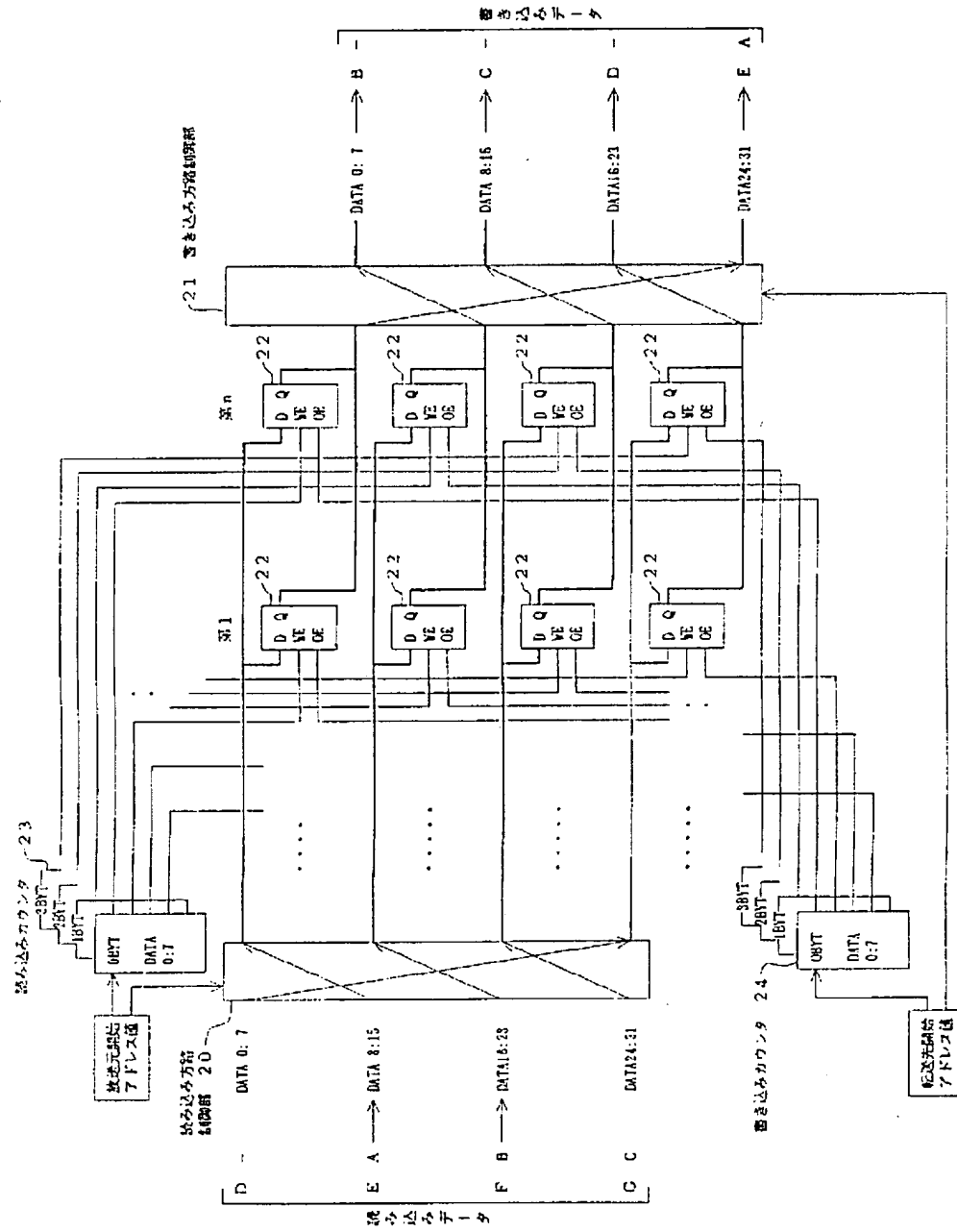
【図19】

従来システムのデータ転送の第1の例を示す図



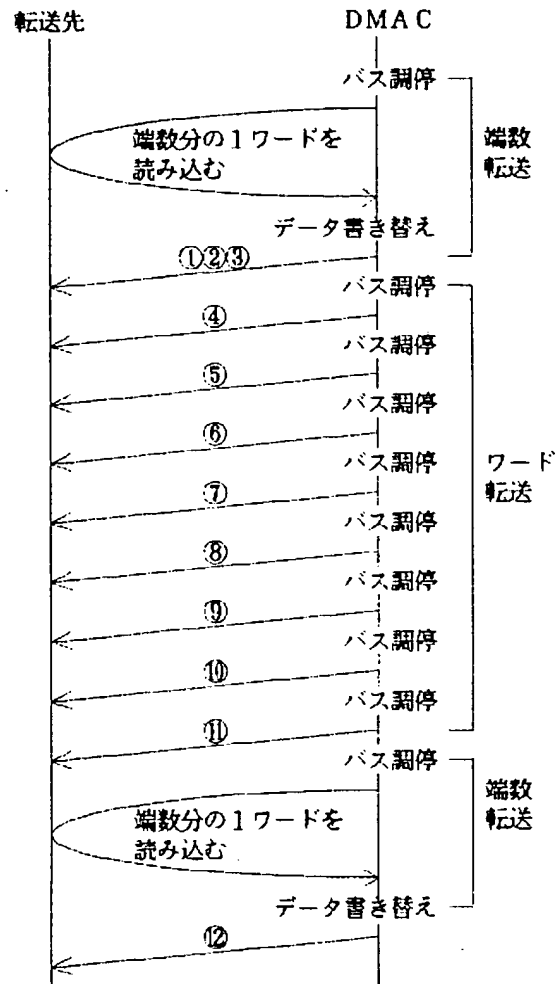
【図15】

本発明による並び替え手段の一実施の形態例を示す回路図



【図20】

従来システムのデータ転送の第2の例を示す図



フロントページの続き

(72) 発明者 芝垣 税
 福岡県福岡市早良区百道浜2丁目2番1号
 富士通九州通信システム株式会社内

(72) 発明者 中村 和幸
 福岡県福岡市早良区百道浜2丁目2番1号
 富士通九州通信システム株式会社内